



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0061719
Application Number

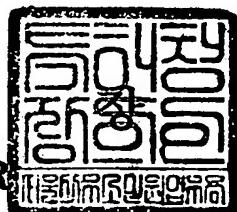
출 원 년 월 일 : 2002년 10월 10일
Date of Application OCT 10, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.10
【발명의 명칭】	비휘발성 기억소자의 형성방법
【발명의 영문명칭】	Method of forming non-volatile memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	장동수
【성명의 영문표기】	CHANG, DONG SOO
【주민등록번호】	670316-1010618
【우편번호】	440-300
【주소】	경기도 수원시 장안구 정자동 현대아파트 102동 406호
【국적】	KR
【발명자】	
【성명의 국문표기】	박세웅
【성명의 영문표기】	PARK, SE WOONG
【주민등록번호】	721030-1009817
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 530번지 탑마을 진덕아파트 505동 305 호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】		497,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

비휘발성 기억소자의 형성방법을 제공한다. 이 방법은 반도체기판 상에 차례로 적층된 터널절연막 패턴 및 제1 플로팅 게이트 패턴과 반도체기판 내에 제1 플로팅 게이트 패턴에 정렬된 측벽을 갖는 트렌치를 형성하는 단계를 구비한다. 트렌치 내부를 채우는 소자분리막을 형성하고, 소자분리막 및 제1 플로팅 게이트 패턴 상에 식각저지막 및 몰드막을 차례로 형성한다. 몰드막 및 식각저지막을 연속적으로 패터닝하여 적어도 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성하고, 홈을 채우는 제2 플로팅 게이트 패턴을 형성한다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

비휘발성 기억소자의 형성방법{Method of forming non-volatile memory device}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 비휘발성 기억소자의 형성방법을 설명하기 위한 단면도들이다.

도 4 내지 도 10은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 형성방법을 설명하기 위한 사시도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 형성방법에 관한 것으로, 특히 비휘발성 기억소자의 형성방법을 관한 것이다.
- <4> 반도체 소자는 휘발성 기억소자 및 비휘발성 기억소자로 구분할 수 있다. 휘발성 기억소자는 전원의 공급이 차단되면, 기억소자의 데이터를 소실하는 기억소자를 말하며, 디램 기억소자 및 에스램 기억소자가 여기에 속한다. 이에 반하여, 비휘발성 기억소자는 전원 공급이 차단될지라도, 기억소자의 데이터를 유지하는 기억소자, 예컨대, 플래쉬 기억소자가 여기에 속한다. 플래쉬 기억소자는 전기적으로 데이터를 소거 및 삭제할 수 있는 비휘발성 기억소자이다. 현재 널리 사용되고 있는 플래쉬 기억소자는 고집적화에 유리한 적층 게이트 구조를 갖는다. 적층 게이트 구조를 갖는 플래쉬 기억소자는 반도체

기판 상에 적층된 터널절연막, 플로팅 게이트 전극, 제어 게이트 절연막 및 제어 게이트 전극으로 구성된다.

- <5> 한편, 반도체 소자의 고집적화 경향에 따라 낮은 동작전압 및 적은 선폭의 요구로 플래쉬 기억소자의 커플링 비율(Coupling ratio)이 문제점으로 대두 되고 있다. 커플링 비율이란 제어 게이트 전극에 인가되는 동작전압에 대하여 플로팅 게이트 전극에 유기되는 전압의 비를 나타낸다. 즉, 커플링 비율이 커질수록 제어 게이트 전극에 인가되는 동작전압에 대한 플로팅 게이트 전극에 유기되는 전압이 커지게 된다. 그 결과, 플래쉬 기억소자의 동작전압을 감소시킬 수 있다. 커플링 비율은 플로팅 게이트 전극과 제어 게이트 전극간의 정전용량이 증가할수록 커진다. 이로 인하여, 플로팅 게이트 전극과 제어 게이트 전극간의 정전용량을 늘리기 위한 방안으로 플로팅 게이트 전극의 면적을 증가시키는 방안이 제안된 바 있다.
- <6> 도 1 내지 도 3은 종래의 기억소자의 형성방법을 설명하기 위한 단면도들이다.
- <7> 도 1을 참조하면, 반도체기판(1) 상에 버퍼산화막(미도시함), 제1 플로팅 게이트 도전막(미도시함) 및 제1 하드마스크막(미도시함)을 차례로 형성한다. 상기 제1 하드마스크막, 상기 제1 플로팅 게이트 도전막 및 상기 버퍼산화막을 상기 반도체 기판(1)의 소정영역이 노출될때까지 연속적으로 패터닝하여 차례로 적층된 버퍼산화막 패턴(2), 제1 플로팅 게이트 패턴(3) 및 제1 하드마스크 패턴(4)을 형성한다. 상기 버퍼산화막 패턴(2)은 열산화막으로 형성하고, 상기 제1 플로팅 게이트

패턴(3)은 도핑된 폴리실리콘막으로 형성한다. 상기 제1 하드마스크 패턴(4)은 실리콘질화막으로 형성한다. 상기 제1 하드마스크 패턴(4)을 마스크로 사용하여 상기 노출된 반도체기판(1)을 선택적으로 식각하여 반도체기판(1)의 표면으로부터 소정의 깊이를 갖는 트렌치(5)를 형성한다.

- <8> 도 2를 참조하면, 상기 트렌치(5) 내부를 채우는 소자분리절연막(미도시함)을 반도체기판(1) 전면에 형성하고, 상기 소자분리절연막을 상기 제1 하드마스크 패턴(4)이 노출될때까지 평탄화시키어 상기 트렌치(5) 내부에 소자분리막(6)을 형성한다. 상기 노출된 제1 하드마스크 패턴(4)을 상기 제1 플로팅 게이트 패턴(3)이 노출될때까지 식각하여 제거한다. 상기 노출된 제1 플로팅 게이트 패턴(3) 상을 포함한 반도체기판(1) 전면에 제2 플로팅 게이트 도전막(7) 및 제2 하드마스크막(8)을 차례로 형성한다. 상기 제2 플로팅 게이트 도전막(7)은 도핑된 폴리실리콘막으로 형성하고, 상기 제2 하드마스크막(8)은 실리콘산화막으로 형성한다. 상기 제2 하드마스크막(8) 상에 감광막 패턴(9)을 형성한다. 상기 감광막 패턴(9)은 상기 제1 플로팅 게이트 패턴(3) 상부에 형성된다.
- <9> 도 3을 참조하면, 상기 감광막 패턴(9)을 마스크로 사용하여 상기 제2 하드마스크막(8)을 상기 제2 플로팅 게이트 도전막(7)이 노출될때까지 식각하여 제2 하드마스크 패턴(8a)을 형성한다. 상기 감광막 패턴(9)을 제거하고, 상기 제2 하드마스크 패턴(8a) 양측벽에 스페이서(10)를 형성한다. 상기 스페이서(10)는 실리콘질화막으로 형성한다. 상기 제2 하드마스크 패턴(8a) 및 상기 스페이서(10)를 마스크로 사용하여 상기 제2 플로팅 게이트 도전막(7)을 상기 소자분리막(6)이 노출될때까지 식각하여 제2 플로팅 게이트 패턴(7a)을 형성한다.

<10> 상술한 종래기술에서, 상기 스페이서(10)는 상기 제2 플로팅 게이트 패턴(7a)의 면적을 넓히기 위한 수단이다. 즉, 상기 스페이서(10)의 하부면에 해당하는 면적만큼 상기 제2 플로팅 게이트 패턴(7a)의 면적이 증가한다. 하지만, 이에 반하여, 상기 제2 플로팅 게이트 도전막(7)이 식각되는 영역(a)은 감소한다. 상기 식각영역(a)의 감소로 인하여, 상기 식각영역(a) 내의 제2 플로팅 게이트 도전막(7)이 완전히 식각되지 않을 수 있다. 이로 인하여, 상기 제2 플로팅 게이트 패턴(7a)과 인접한 다른 제2 플로팅 게이트 패턴(7a) 사이에 브릿지(bridge)가 발생할 수 있다. 이러한 현상은 반도체소자의 고집적화 경향에 따라, 더욱 심화될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는 종래의 플로팅 게이트 전극들 사이의 간격이 감소함으로써, 발생할 수 있는 브릿지 현상을 방지하는 비휘발성 기억소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<12> 상술한 기술적 과제를 해결하기 위한 비휘발성 기억소자의 형성방법을 제공한다. 이 방법은 반도체기판 상에 차례로 적층된 터널절연막 패턴 및 제1 플로팅 게이트 패턴과 상기 반도체기판 내에 상기 제1 플로팅 게이트 패턴에 정렬된 측벽을 갖는 트렌치를 형성하는 단계를 포함한다. 상기 트렌치 내부를 채우는 소자분리막을 형성하고, 상기 소자분리막 및 상기 제1 플로팅 게이트 패턴 상에 식각저지막 및 몰드막을 차례로 형성한다. 상기 몰드막 및 상기 식각저지막을 연속적으로 패터닝하여 적어도 상기 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성하고, 상기 홈을 채우는 제2 플로팅 게이트 패턴을 형성한다.

- <13> 구체적으로, 상기 식각저지막은 상기 소자분리막 및 상기 제1 플로팅 게이트 패턴에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 상기 물드막은 상기 식각저지막에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다.
- <14> 상기 홈을 형성하는 바람직한 방법은 상기 물드막 상에 상기 물드막의 소정영역을 노출시키는 개구부를 갖는 감광막 패턴을 형성하는 단계를 포함한다. 상기 감광막 패턴을 마스크로 사용하여 상기 물드막을 등방성 식각하여 적어도 상기 제1 플로팅 게이트 패턴 상에 위치한 식각저지막을 노출시키는 예비 홈을 형성한다. 상기 예비 홈을 갖는 반도체기판으로 부터 감광막 패턴을 제거하고, 상기 예비 홈에 노출된 식각방지막을 식각하여 적어도 상기 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성한다. 이때, 상기 홈의 폭은 상기 개구부의 폭에 비하여 넓다.
- <15> 상기 제2 플로팅 게이트 패턴을 형성하는 바람직한 방법은 상기 홈 내부를 채우는 제2 플로팅 게이트 도전막을 반도체기판에 전면에 형성하고, 상기 제2 플로팅 게이트 도전막을 상기 패터닝된 물드막이 노출될 때까지 평탄화시키어 상기 홈 내부에 제2 플로팅 게이트 패턴을 형성한다.
- <16> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그

것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<17> 도 4 내지 도 10은 본 발명의 바람직한 실시예에 따른 비휘발성 기억소자의 형성방법을 설명하기 위한 사시도들이다.

<18> 도 4를 참조하면, 반도체기판(101) 상에 터널절연막(102), 제1 플로팅 게이트 도전막(103), 버퍼절연막(104) 및 하드마스크막(105)을 차례로 형성한다. 상기 터널절연막(102)은 열산화막으로 형성할 수 있으며, 상기 제1 플로팅 게이트 도전막(103)은 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 버퍼절연막(104)은 상기 하드마스크막(105)에 대한 스트레스로 부터 상기 제1 플로팅 게이트 도전막(103)을 보호하는 역할을 한다. 예를 들면, CVD 실리콘산화막으로 형성할 수 있다. 상기 버퍼절연막(104)은 생략될 수 있다. 상기 하드마스크막(105)은 상기 반도체기판(101)에 대하여 식각선택비를 갖는 물질막, 예컨대, 실리콘질화막으로 형성할 수 있다.

<19> 도 5를 참조하면, 상기 하드마스크막(105), 상기 버퍼절연막(104), 상기 제1 플로팅 게이트 도전막(103) 및 상기 터널절연막(102)을 상기 반도체기판(101)의 소정영역이 노출될때까지 연속적으로 패터닝하여 차례로 적층된 터널절연막 패턴(102a), 제1 플로팅 게이트 패턴(103a), 버퍼절연막 패턴(104a) 및 하드마스크 패턴(105a)을 형성한다. 상기 패턴들(102a, 103a, 104a, 105a)은 라인 형태로 형성될 수 있다.

<20> 상기 하드마스크 패턴(105a)을 마스크로 사용하여 상기 노출된 반도체기판(101)을 선택적으로 식각하여 상기 반도체기판(101)의 표면으로부터 소정의 깊이를 갖는 트렌치(106)를 형성한다. 상기 트렌치(106)의 측벽은 상기 제1 플로팅 게이트 패턴(103a)의 측

벽에 정렬된다. 상기 트렌치(106)는 활성영역을 한정하며, 상기 제1 플로팅 게이트 패턴(103a)은 상기 활성영역 상부에 위치한다.

<21> 상기 트렌치(106) 내부를 채우는 소자분리절연막(107)을 형성한다. 상기 소자분리 절연막(107)은 일반적인 소자분리절연막으로 사용되는 실리콘산화막으로 형성할 수 있다.

<22> 도 6을 참조하면, 상기 소자분리절연막(107)을 상기 하드마스크 패턴(105a)이 노출될 때까지 평탄화시키어 상기 트렌치(106) 내부를 채우는 소자분리막(107a)을 형성한다. 상기 노출된 하드마스크 패턴(105a) 및 상기 베퍼절연막(104a)을 상기 제1 플로팅 게이트 패턴(103a)이 노출될 때까지 식각하여 제거한다.

<23> 상기 노출된 제1 플로팅 게이트 패턴(103a)을 포함한 반도체기판(101) 전면에 식각 저지막(110) 및 몰드막(111)을 차례로 형성한다. 상기 식각저지막(110)은 상기 소자분리 막(107a) 및 상기 제1 플로팅 게이트 패턴(103a)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 실리콘질화막으로 형성하는 것이 바람직하다. 상기 몰드막(111)은 상기 식각저지막(110)에 대하여 식각선택비를 갖는 물질막, 예컨대, 실리콘산화 막으로 형성하는 것이 바람직하다. 상기 몰드막(111) 상에 개구부(113)를 갖는 감광막 패턴(112)을 형성한다. 상기 개구부(113)는 상기 몰드막(111)의 소정영역을 노출시킨다. 상기 노출된 몰드막(111)은 상기 제1 플로팅 게이트 패턴(103a) 상부에 위치하는 것이 바람직하다. 상기 감광막 패턴(112)의 선폭(W)은 사전공정에서 정의할 수 있는 최소선폭 으로 형성할 수 있다. 이로 인하여, 이로 인하여, 상기 개구부(113)의 폭(L1)은 상기 사 전공정이 정의할 수 있는 최대 간격이 된다.

- <24> 도 7 및 도 8을 참조하면, 상기 감광막 패턴(112)을 마스크로 사용하여 상기 몰드 막(111)을 등방성 식각하여 상기 식각저지막(110)을 노출시키는 예비 홈(114)을 갖는 몰드막 패턴(111a)을 형성한다. 이때, 상기 예비 홈(114)의 폭(L2)은 상기 등방성 식각으로 인하여, 상기 개구부(113)의 폭(L1)에 비하여 넓게 형성된다. 다시 말해서, 상기 예비 홈(114)의 폭(L2)은 상기 사진공정이 정의 할수 있는 최대 간격인 상기 개구부(113)의 폭(L1)에 비하여 넓은 폭을 갖도록 형성할 수 있다.
- <25> 상기 예비 홈(114)에 노출된 상기 식각방지막(110)은 상기 제1 플로팅 게이트 패턴(103a) 및 상기 제1 플로팅 게이트 패턴(103a)과 인접한 상기 소자분리막(107a)의 소정 영역 상에 위치하는 것이 바람직하다.
- <26> 상기 몰드 절연막 패턴(111a) 상의 상기 감광막 패턴(112)을 제거하고, 상기 예비 홈(114)에 노출된 식각저지막(110)을 패터닝하여 홈(114a)을 형성한다. 상기 홈(114a)은 적어도 상기 제1 플로팅 게이트 패턴(103a)을 노출시킨다. 이에 더하여, 상기 제1 플로팅 게이트 패턴(103a)과 인접한 소자분리막의 소정영역을 노출시키는 것이 바람직하다. 상기 몰드막 패턴(111a)과 상기 소자분리막(107a) 사이에 패터닝된 식각저지막(110a)이 개재된다. 즉, 상기 홈(114a)의 측벽은 상기 몰드막 패턴(111a) 및 상기 식각저지막 패턴(110a)으로 구성된다.
- <27> 상기 홈(114a)을 채우는 제2 플로팅 게이트 도전막(115)을 반도체기판(101) 전면에 형성한다. 상기 제2 플로팅 게이트 도전막(115)은 도전막, 예컨대, 도핑된 폴리실리콘 막으로 형성할 수 있다.
- <28> 도 9, 도 10 및 도 11을 참조하면, 상기 제2 플로팅 게이트 도전막(115)을 상기 몰드막 패턴(111a)이 노출될때까지 평탄화시키어 상기 홈(114a) 내부에 제2 플로팅 게이트

패턴들(115a)을 형성한다. 이때, 상기 제2 플로팅 게이트 패턴(115a)은 상기 평탄화 공정에 의하여 인접한 다른 제2 플로팅 게이트 패턴(115a)과 분리된다. 이로 인하여, 종래의 브릿지 현상을 방지할 수 있다. 다시 말해서, 본 발명에서는 상기 제2 플로팅 게이트 패턴(115a)을 형성하기 위하여 종래의 감소된 식각영역을 식각하는 단계가 요구되지 않는다. 오히려, 상기 제2 플로팅 게이트 패턴(115a)이 형성될 위치에 상기 홈(114a)을 형성하고, 상기 홈(114a) 내부를 채우는 상기 제2 플로팅 게이트 패턴(115a)을 평탄화공정으로 형성한다. 이로 인하여, 종래의 감소된 식각영역으로 야기된 제2 플로팅 게이트 패턴의 브릿지 현상을 방지할 수 있다. 또한, 상기 제2 플로팅 게이트 패턴의 표면적은 상기 홈(114a)으로 인하여, 사진공정이 정의할 수 있는 최대면적보다 넓은 면적을 갖도록 형성할 수 있다. 그 결과, 비휘발성 기억소자의 커플링 비율을 증가시켜 동작전압을 감소시킬 수 있다.

<29> 상기 노출된 몰드막 패턴(111a) 및 상기 식각저지막 패턴(110a)을 상기 소자분리막(107a)이 노출될때까지 차례로 식각하여 제거한다. 이로 인해, 상기 제2 플로팅 게이트 패턴(115a)의 양측벽이 노출된다. 상기 노출된 제2 플로팅 게이트 패턴(115a)의 측벽을 포함한 반도체기판(101) 전면에 콘포말하게 제어게이트 절연막(116) 및 제어 게이트 도전막(117)을 차례로 형성한다. 이때, 상기 제어 게이트 도전막(117)은 상기 제2 플로팅 게이트 패턴(115a)들 사이의 공간을 채울수 있다. 상기 제어 게이트 절연막(116)은 ONO막(oxide-nitride-oxide layer)으로 형성할 수 있다. 이와는 달리, 상기 제어 게이트 절연막(116)은 상기 ONO막에 비하여 높은 유전율을 갖는 고유전막으로 형성할 수 있다. 상기 제어 게이트 도전막(115)은 도핑된 폴리실리콘막 또는 폴리사이드막으로

형성할 수 있다. 상기 폴리사이드막은 차례로 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다.

<30> 상기 제어 게이트 도전막(117), 상기 제어 게이트 절연막(116), 상기 제2 플로팅 게이트 패턴(115a), 상기 제1 플로팅 게이트 패턴(103a)을 연속적으로 패터닝하여 차례로 적층된 제1 플로팅 게이트 전극(103b), 제2 플로팅 게이트 전극(115b), 제어 게이트 절연막 패턴(116a) 및 제어 게이트 전극(107a)을 형성한다. 이때, 상기 터널절연막 패턴(102a)도 식각되어 상기 제1 플로팅 게이트 전극(103b) 하부에만 형성될 수 있다. 상기 제1 및 제2 플로팅 게이트 전극들(103b, 115b)은 플로팅 게이트 전극(120)을 구성하고, 상기 제어 게이트 전극(107a)은 상기 활성영역을 가로지른다.

【발명의 효과】

<31> 상술한 바와 같이, 본 발명에 따르면, 제1 플로팅 게이트 패턴 상에 식각저지막 및 몰드막을 형성하고, 상기 몰드막 및 상기 식각저지막을 연속적으로 패터닝하여 적어도 상기 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성한다. 상기 홈을 채우는 제2 플로팅 게이트 도전막을 형성하고, 상기 제2 플로팅 게이트 도전막을 상기 패터닝된 몰드막이 노출될때까지 평탄화시키어 제2 플로팅 게이트 패턴을 형성한다. 이로 인하여, 종래의 감소된 식각영역으로 인하여 발생하던 인접한 제2 플로팅 게이트 패턴 사이의 브릿지(bridge) 현상을 방지할 수 있다. 또한, 상기 홈은 등방성 식각에 의하여 형성함으로써, 제2 플로팅 게이트 패턴의 면적을 증가시킬 수 있다.

【특허 청구범위】**【청구항 1】**

반도체 기판 상에 차례로 적층된 터널절연막 패턴 및 제1 플로팅 게이트 패턴과 상기 반도체기판 내에 상기 제1 플로팅 게이트 패턴에 정렬된 측벽을 갖는 트렌치를 형성하는 단계;

상기 트렌치 내부를 채우는 소자분리막을 형성하는 단계;

상기 소자분리막 및 상기 제1 플로팅 게이트 패턴 상에 식각저지막 및 몰드막을 차례로 형성하는 단계;

상기 몰드막 및 상기 식각저지막을 연속적으로 패터닝하여 적어도 상기 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성하는 단계; 및
상기 홈을 채우는 제2 플로팅 게이트 패턴을 형성하는 단계를 포함하는 비휘발성 기억소자의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 제1 플로팅 게이트 패턴 및 상기 트렌치를 형성하는 단계는,
반도체기판 상에 터널절연막, 제1 플로팅 게이트 도전막 및 하드마스크막을 형성하는 단계;

상기 하드마스크막, 상기 제1 플로팅 게이트 도전막 및 상기 터널절연막을 상기 반도체기판의 소정영역이 노출될때까지 연속적으로 패터닝하여 상기 반도체기판 상에 차

례로 적층된 터널절연막 패턴, 제1 플로팅 게이트 패턴 및 하드마스크 패턴을 형성하는 단계; 및

상기 노출된 반도체기판을 선택적으로 식각하여 상기 반도체기판의 표면으로부터 소정의 깊이를 갖는 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 3】

제 2 항에 있어서,

상기 소자분리막을 형성하는 단계는,

상기 트렌치 내부를 채우는 소자분리절연막을 반도체기판 전면에 형성하는 단계;

상기 소자분리절연막을 상기 하드마스크 패턴이 노출될때까지 평탄화시키어 상기 트렌치 내부에 소자분리막을 형성하는 단계; 및

상기 노출된 하드마스크막을 상기 제1 플로팅 게이트 패턴이 노출될때까지 식각하여 제거하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 식각저지막은 상기 소자분리막 및 상기 제1 플로팅 게이트 패턴에 대하여 식각선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 5】

제 4 항에 있어서,

상기 식각저지막은 실리콘질화막으로 형성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 몰드막은 상기 식각저지막에 대하여 식각선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 7】

제 6 항에 있어서,

상기 몰드막은 실리콘산화막으로 형성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 8】

제 1 항에 있어서,

상기 홈을 형성하는 단계는,

상기 몰드막 상에 상기 몰드막의 소정영역을 노출시키는 개구부를 갖는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 사용하여 상기 몰드막을 등방성식각하여 적어도 상기 제1 플로팅 게이트 패턴 상에 위치한 상기 식각저지막을 노출시키는 예비 홈을 형성하는 단계;

상기 예비 홈을 갖는 반도체기판으로 부터 감광막 패턴을 제거하는 단계; 및

상기 예비 홈에 노출된 식각방지막을 식각하여 적어도 제1 플로팅 게이트 패턴을 노출시키는 홈을 형성하는 단계를 포함하되, 상기 홈의 폭은 상기 개구부의 폭에 비하여 넓은 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 9】

제 1 항에 있어서,

상기 제2 플로팅 게이트 패턴을 형성하는 단계는,

상기 홈 내부를 채우는 제2 플로팅 게이트 도전막을 반도체기판 전면에 형성하는 단계; 및

상기 제2 플로팅 게이트 도전막을 상기 패터닝된 몰드막이 노출될 때까지 평탄화시키어 상기 홈 내부에 제2 플로팅 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 10】

제 1 항에 있어서,

상기 제1 및 제2 플로팅 게이트 패턴은 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 11】

제 1 항에 있어서,

상기 제2 플로팅 게이트 패턴을 형성하는 단계 후에,

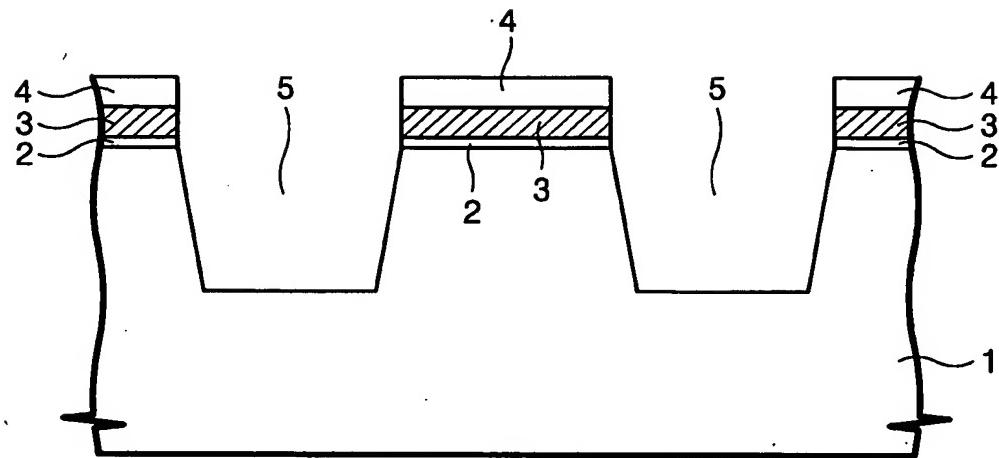
상기 패터닝된 몰드막 및 상기 패터닝된 식각저지막을 상기 소자분리막이 노출될 때 까지 식각하여 제거하는 단계;

상기 제2 플로팅 게이트 패턴의 표면을 포함하는 반도체기판 전면에 콘포말하게 제어 게이트 절연막 및 제어 게이트 도전막을 차례로 형성하는 단계; 및
상기 제어 게이트 도전막, 상기 제어 게이트 절연막, 상기 제2 플로팅 게이트 패턴 및 상기 제1 플로팅 게이트 패턴을 연속적으로 패터닝하여 차례로 적층된 제1 및 제2 플로팅 게이트 전극, 제어게이트 절연막 패턴 및 제어게이트 전극을 형성하는 단계를 더 포함하되, 상기 제1 및 제2 플로팅 게이트 전극은 플로팅 게이트 전극을 구성하는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【도면】

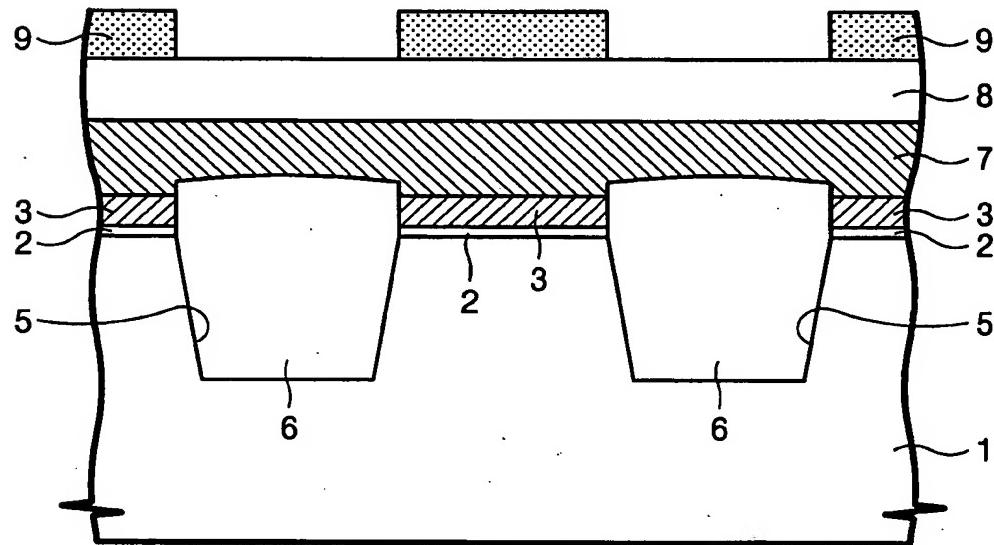
【도 1】

(종래 기술)



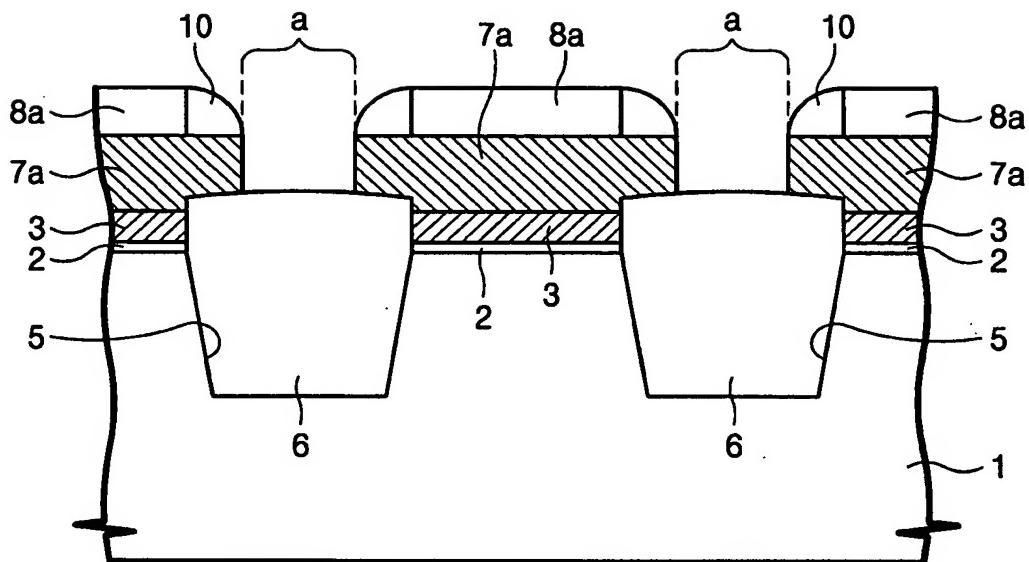
【도 2】

(종래 기술)



【도 3】

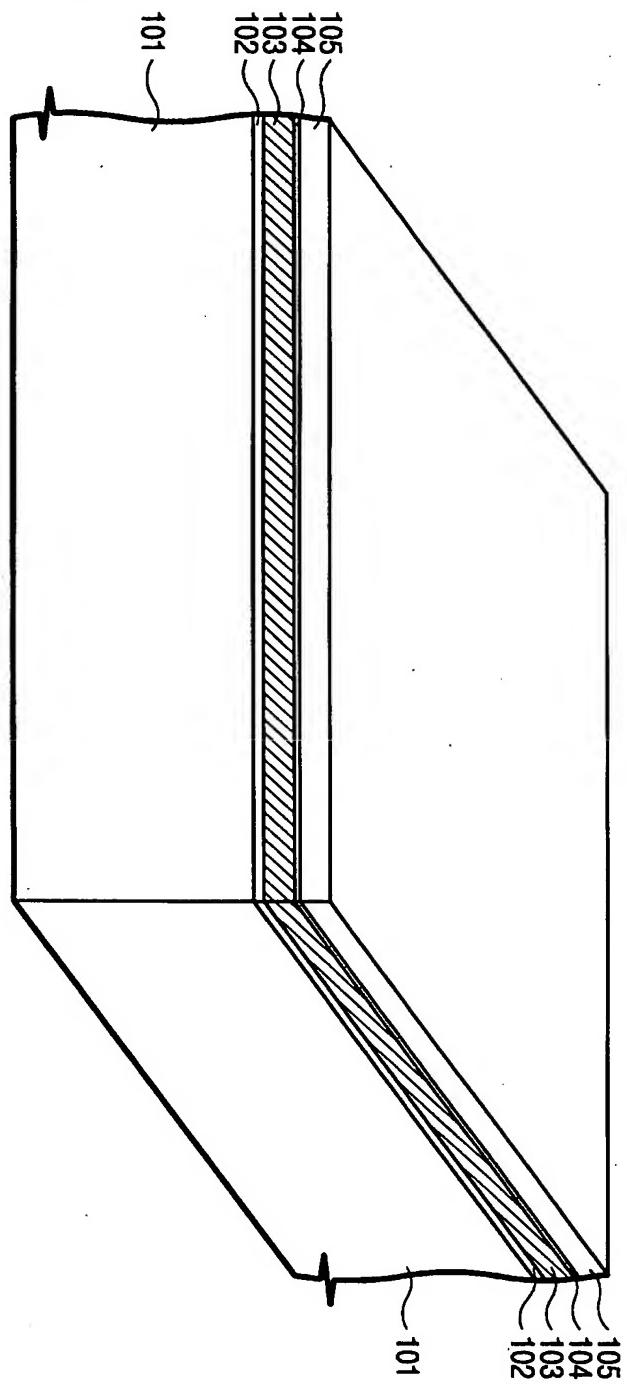
(종래 기술)



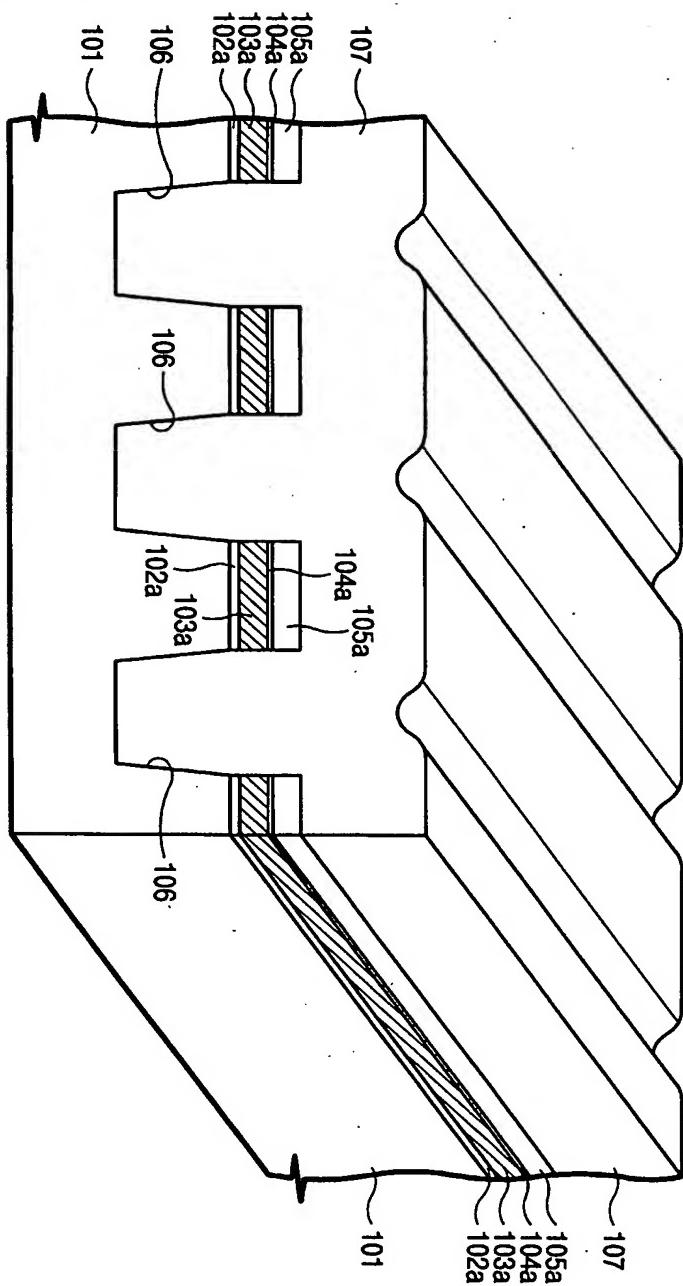
1020020061719

출력 일자: 2003/5/3

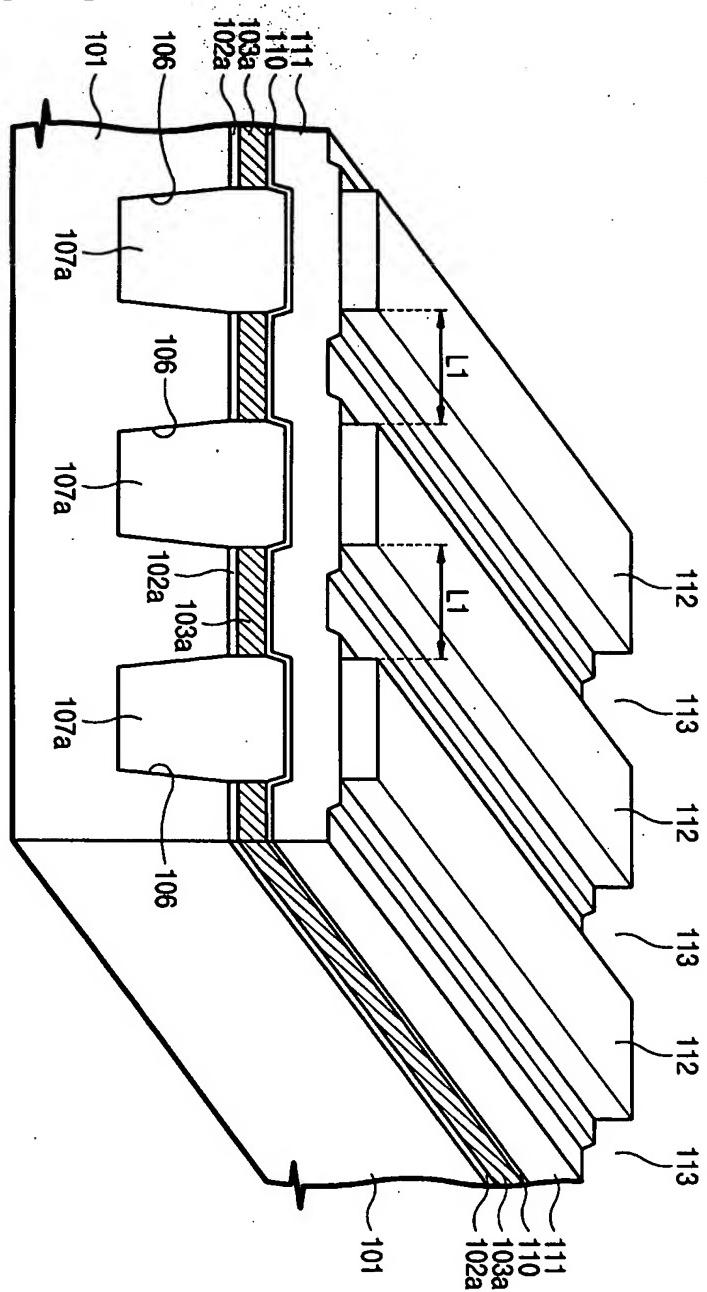
【도 4】



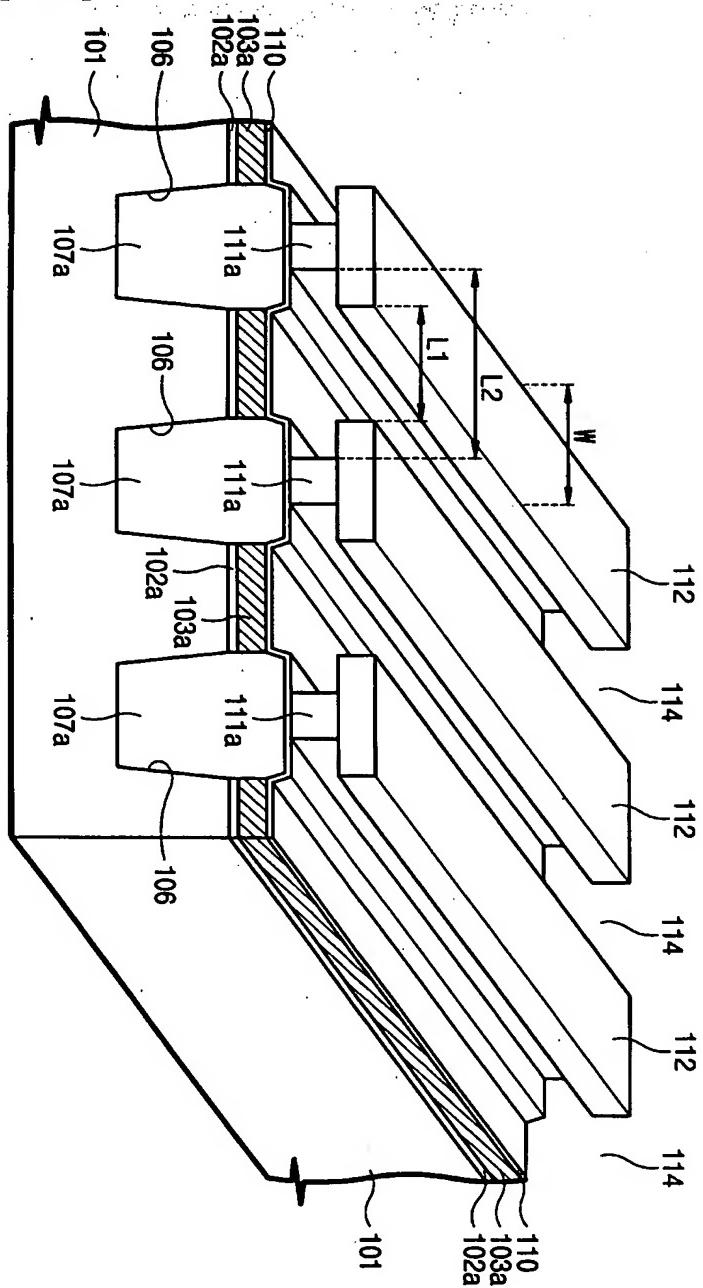
【도 5】



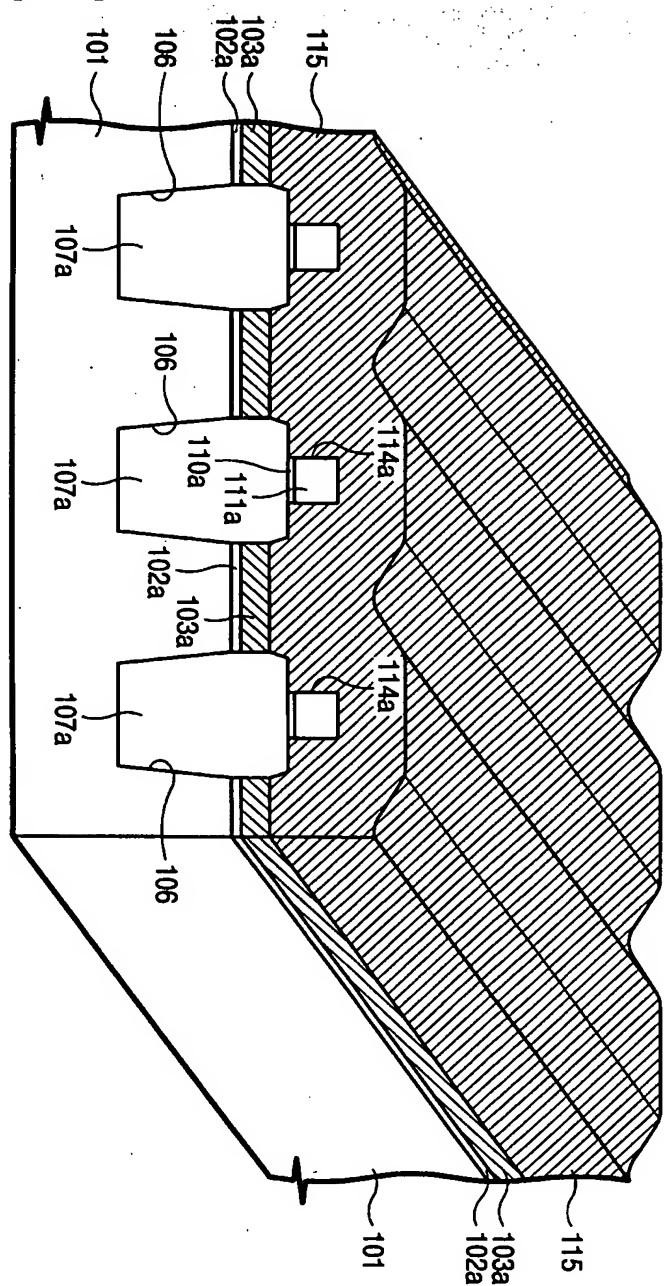
【도 6】



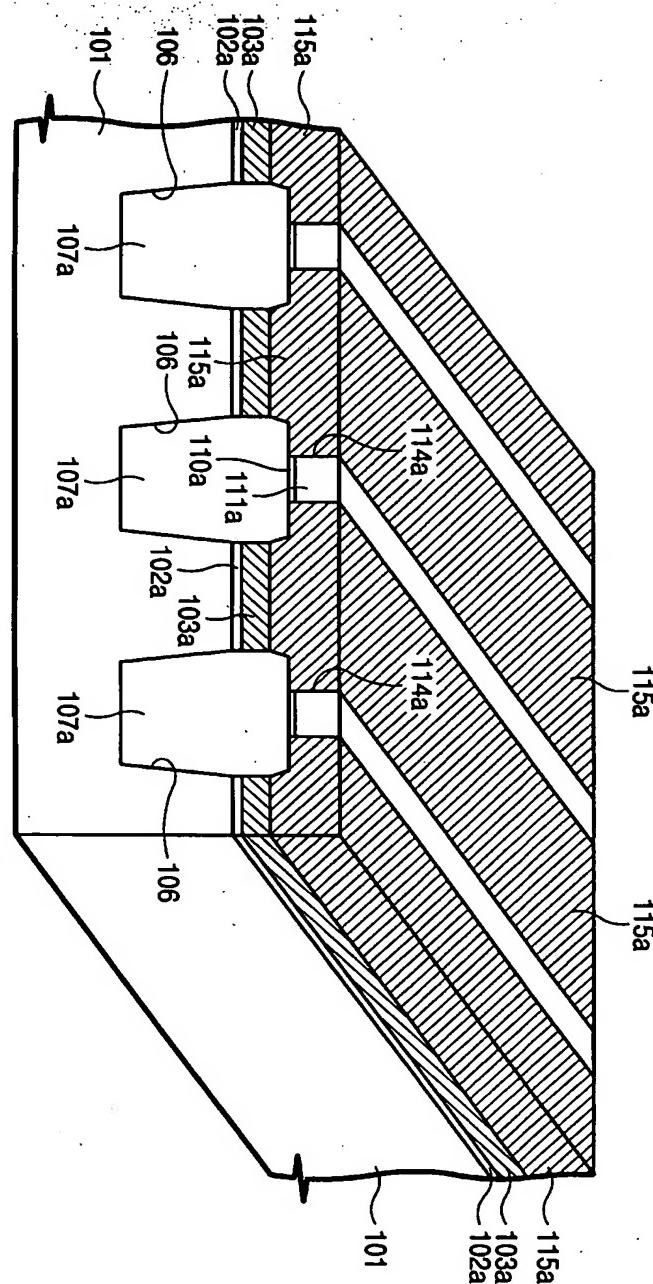
【도 7】



【도 8】



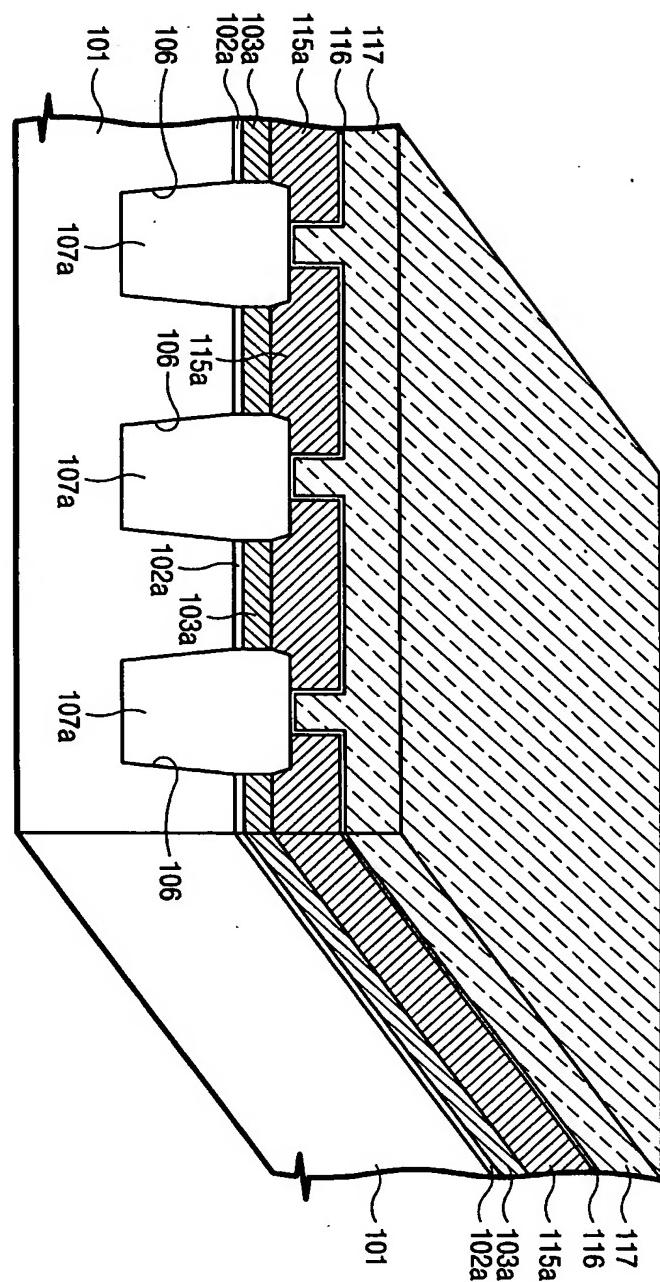
【도 9】



1020020061719

출력 일자: 2003/5/3

【도 10】





1020020061719

출력 일자: 2003/5/3

【도 11】

